

PAT-NO: JP355098832A

DOCUMENT-IDENTIFIER: JP 55098832 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: July 28, 1980

INVENTOR-INFORMATION:

NAME

KAUCHI, KAZUYA

ASSIGNEE-INFORMATION:

NAME

NEC KYUSHU LTD

COUNTRY

N/A

APPL-NO: JP54006957

APPL-DATE: January 23, 1979

INT-CL (IPC): H01L021/306, H01L021/283

US-CL-CURRENT: 438/106, 438/694 , 438/FOR.340

ABSTRACT:

PURPOSE: To taper an opening and prevent the snapping of metal wiring provided in the opening, by combining an oxidizer with silazane and performing surface treatment when making the opening in an insulating film on a semiconductor substrate provided with a diffused region.

CONSTITUTION: An oxide film 13 is coated on a p-type Si substrate 11 and provided with an opening to produce an n<SP>+</SP>-type region 12 by diffusion.

At that time, a PSG film 14 is also produced. The substrate 11 is dipped in a mixed liquid containing a hydrogen peroxide solution and aqueous ammonia. As a

result, the film 14 on the region 12 is removed and the film 14 on the oxide film 13 is changed into a film 14a of small thickness. A mask 15 made of a photoresist film and having an opening is provided on the film 14a. Hexamethyldisilazane treatment is effected to raise and stabilize the adhesive power between the film 14a and the mask 15. A hole is opened through the exposed film 14 and then through the film 13. Etching is effected by an ammonium fluoride mixed liquid to provide the film 13 with an opening which has a small angle θ_2 approximate to that θ_1 of the opening over the region 12.

COPYRIGHT: (C)1980,JPO&Japio

⑫ 公開特許公報 (A)

昭55-98832

⑪ Int. Cl.³
H 01 L 21/306
21/283

識別記号

庁内整理番号
7131-5F
7638-5F

⑬ 公開 昭和55年(1980)7月28日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ 半導体装置の製造方法

熊本市八幡町100番地九州日本
電気株式会社内

①特 願 昭54-6957

①出 願 人 九州日本電気株式会社

②出 願 昭54(1979)1月23日

熊本市八幡町100番地

⑦発 明 者 加内一也

④代 理 人 弁理士 内原晋

明 細 書

1 発明の名称

半導体装置の製造方法

2 特許請求の範囲

半導体基板の一導電型領域に逆導電型領域を形成後該半導体基板の一主面上の絶縁膜を開孔する工程に於て、酸化剤による表面処理とシラザンによる表面処理とを組合せることにより該開孔部にテーパーを付けることを特徴とする半導体装置の製造方法。

3 発明の詳細な説明

本発明は半導体装置の製造方法にかかり、とくに、ウオッシュトエミッタ構造を有する半導体装置等にコンタクトの開孔を行う場合、たとえば約 $30^{\circ} \sim 40^{\circ}$ の角度をつける半導体装置の製造方法に関する。

ここで半導体装置とは、半導体装置及び半導体

集積回路装置等の全てを総称する。ウオッシュトエミッタ構造を形成後の絶縁膜へのコンタクト開孔の一般的方法として、シリコン基板上の熱酸化膜のエッチングの実施例を図面を用いて説明する。

写真蝕刻法により、 N^{+} 拡散を行うべき領域上の酸化膜2を開孔し、 N^{+} 拡散を行い、P型基板1中に N^{+} 領域2を形成する(第1図(a))。この時シリコン及びシリコン酸化膜2上面にはリンガラス層(PSG)4が形成されているのでこのPSGをフッ酸水溶液で除去した後、再び写真蝕刻法によりフォトリジスト5にコンタクトの開孔を行い(第1図(b))、フッ化アンモニウム混合液(BHF)でエッチングすることにより、第1図(c)の構造を得る。しかしながら上記工程に及て、酸化膜開孔部の角度(θ)は、非常に急峻となり、次工程で行う金属蒸着膜のステップカバレッジ(Step coverage)を悪化させ、段部での断線を生じさせる等の欠点があった。

シリコン基板が酸化膜で全面覆われている場合には「リン処理+酸化処理」あるいはフレオン

ラズマ処理等によりターバーエッチングを行い、第1図(c)に示す角度 θ_1 は $30^\circ \sim 40^\circ$ にコントロール可能であるが、酸化工程を含まないウォッシュエミッタ構造の場合には上記処理は、実施出来ないあるいは、実施のために、フォトレジスト(PR)工程が1回増える等の欠点があった。

また角度 θ_1 を小さくするために、第1図(a)のPSG層4を利用する試みも行われているが、PSG膜厚のばらつき、PRとの密着のばらつき等のため、 θ_1 が非常にばらつき、不安定であった。

本発明は、上記欠点を解決し、角度 θ_1 をたとえば約 $30^\circ \sim 40^\circ$ にコントロールした酸化膜エッチング方法を提供するものである。

本発明はたとえばウォッシュエミッタ(Washed emitter)形成後の半導体上面の絶縁膜を開孔する工程に於いて、酸化剤による表面処理とシラザンによる表面処理とを組合せることにより疎開孔部にターバーを付けることを特徴とする半導体装置の製造方法である。

第2図(a)~(c)は、本発明の一実施例を説明する

- 3 -

断面図である。写真蝕刻法 $\sim N^+$ 拡散工程までは従来方法と全く同じであるが、その後「過酸化水素水+アンモニア水」中に約5分浸漬することにより、500Å程のPSG膜14を50~100ÅのPSG層14にすることが出来る。その後PSGとPRの密着力強化及び安定化のためのヘキサメチルジシラザン(HMDS)処理を行い、写真蝕刻法により開孔部を形成し(第2図(b))、希釈BHF液でエッチングすることにより角度 θ_1 を θ_1 と同等の $30^\circ \sim 40^\circ$ にすることが可能となった。フォトレジスト15を除去後、PSG層14をフッ酸水溶液(1:50)で約60秒エッチングすることにより第1図(c)と全く同じ構造となるので、特性的に悪影響を及ぼすようなことは無い。

以上説明したように、本発明の製造方法によれば、ウォッシュエミッタ形成後「アンモニア水+過酸化水素水」処理と「HMDS処理」との組合せによりコンタクト孔の開孔時にターバーエッチングを行うことが可能となり、コンタクト底部

1b
4. 字挿入

2

での金属配線の断線防止及びstep coverage向上に有効である。

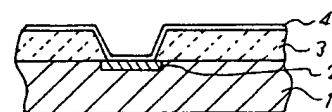
4 図面の簡単な説明

第1図(a)乃至第1図(c)は、従来の半導体装置の製造方法を工程順に示した断面図であり、第2図(a)乃至第2図(c)は本発明の一実施例の半導体装置の製造方法を工程順に示した断面図である。

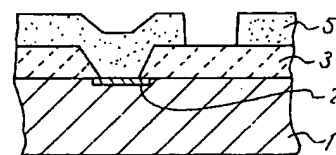
尚、図において、

1, 11……P型シリコン基板、2, 12…… N^+ 領域、3, 13……シリコン酸化膜、4, 14, 14a……リンガラス層(PSG)、5, 15……フォトレジスト(PR)である。

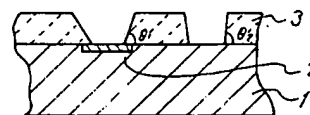
代理人 弁理士 内 原 晋



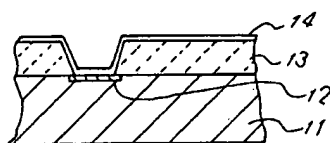
第1図(a)



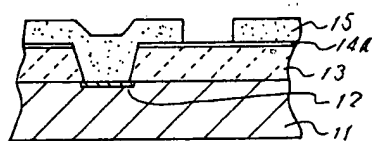
第1図(b)



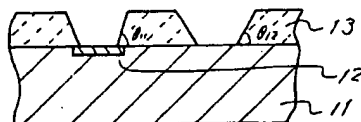
第1図(c)



第 2 図 (a)



第 2 図 (b)



第 2 図 (c)